
Étude d'architectures de lecture asynchrone de capteurs à pixels CMOS, immunes aux perturbations induites par une particule isolée

DIRECTEUR DE THESE : MACIEJ KACHEL

IPHC, 23, RUE DU LÆSS, 67037 STRASBOURG

TEL : 03 88 10 61 24 ; E-MAIL : MACIEJ.KACHEL@IPHC.CNRS.FR

La plateforme C4Pi mène une activité de R&D pour développer le potentiel des capteurs à pixels monolithiques CMOS en amont des demandes des expériences. Dans les trois dernières années, un premier doctorant a initié au C4PI l'exploration de la logique asynchrone pour réaliser l'architecture de lecture d'une matrice de pixels. Les résultats promettent un étiquetage temporel sous les 100 ns ou les 20 ns suivant la consommation de puissance autorisée, qui demeurent très modeste (<10 mW/cm²) dans tous les cas [1].

Ce type d'architecture constitue aujourd'hui la base des propositions du C4PI pour les projets des collaborations de R&D instrumentales DRD3 et DRD7 mise en place par la feuille de route ECFA.

Cependant, certaines questions n'ont pas encore été abordées ou résolues.

La première est la compacité de l'architecture de lecture elle-même, qui préside à la taille du pixel. Avec l'implémentation actuelle, la dimension du pixel ne peut descendre en dessous de 18 µm pour la taille de grille du process TPSCo 65 nm, ce qui limite encore la résolution spatiale et la radio-tolérance aux rayonnements non-ionisants.

La seconde concerne la résistance aux événements très ionisants qui peuvent perturber ponctuellement ou durablement le fonctionnement de la logique (*Single Event Effect*). L'intégration des stratégies habituelles de protection conduirait à une augmentation drastique de la surface de l'implémentation et donc du pixel, à l'encontre de la logique de développement.

Enfin, l'architecture actuelle repose sur une cascade linéaire de blocs asynchrones, reliés à une lecture exclusivement en colonne des matrices de pixels. D'autres formes d'agencement exploitant des groupes locaux pourraient permettre de découpler le pas de lecture du pas de collection et offrir certains avantages comme la minimisation de la puissance dissipée.

Le ou la nouvelle doctorante devra se saisir de l'état de l'architecture actuelle pour contribuer à son exploitation dans les premiers capteurs prototypes des projets menés dans les DRD3 et DRD7. Le second pan de l'activité portera sur les problématiques évoqués plus haut afin d'y répondre avec une architecture plus évoluée, encore à inventer, et ainsi pousser plus loin les performances globales des futurs capteurs.

[1] J. Soudier et al., A versatile and fast pixel matrix read-out architecture for MAPS Nucl. Instrum. Meth. A 1067 (2024), 169663